

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-008395

(43)Date of publication of application : 12.01.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

G02F 1/136

H01L 21/265

(21)Application number : 09-302920

(71)Applicant : NEC CORP

(22)Date of filing : 05.11.1997

(72)Inventor : TAKECHI KAZUE  
HIRANO NAOTO

(30)Priority

Priority number : 09105863

Priority date : 23.04.1997

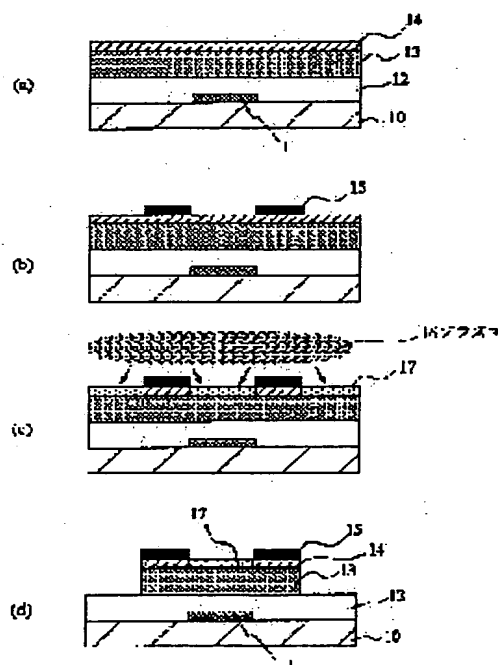
Priority country : JP

## (54) THIN-FILM TRANSISTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a thin-film transistor element which does not require etch removal of an amorphous silicon film, and maintains a good characteristic and in which the amorphous silicon film can be made thin by a method, wherein an n-type amorphous silicon film is formed in a part in which the amorphous silicon film is not overlapped with a source-drain electrode is reformed into an insulating film by a plasma treatment.

**SOLUTION:** A metal, for a gate electrode, which is formed on a transparent insulating substrate 10 is patterned, and the gate electrode 11 is formed. A gate-insulating film 12, an amorphous silicon film 13 and an n-type amorphous silicon film 14 are formed. Then, a metal for a source-drain electrode is formed by a sputtering method, it is patterned, and the source-drain electrode 15 is obtained. The substrate 10 is exposed to an atmosphere of a plasma 16, and the n-type amorphous silicon film 14 in a part in which the source-drain electrode 15 does not overlap with the amorphous silicon film 13 is oxidizing and nitrided selectively, so as to be reformed into an insulating film 17. Lastly, the insulating film is patterned to be in a desired island shape, and a thin-film transistor element is completed.



## LEGAL STATUS

[Date of request for examination] 05.11.1997

[Date of sending the examiner's decision of rejection] 05.09.2000

[Kind of final disposal of application other than

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-8395

(43) 公開日 平成11年(1999) 1月12日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 29/786  
21/336  
G 0 2 F 1/136  
H 0 1 L 21/265

識別記号

5 0 0

F I

H 0 1 L 29/78 6 1 6 L  
G 0 2 F 1/136 5 0 0  
H 0 1 L 21/265 J  
29/78 6 1 9 Z  
6 2 7 Z

審査請求 有 請求項の数27 O L (全 18 頁)

(21) 出願番号 特願平9-302920

(22) 出願日 平成9年(1997)11月5日

(31) 優先権主張番号 特願平9-105863

(32) 優先日 平9(1997)4月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 竹知 和重

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 平野 直人

東京都港区芝五丁目7番1号 日本電気株式会社内

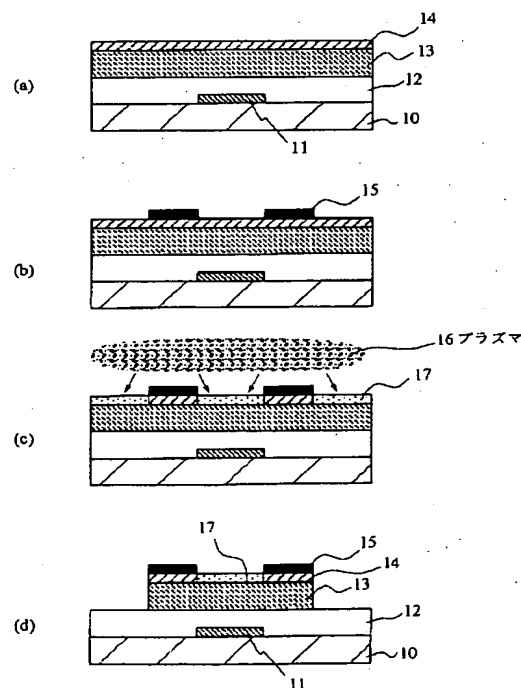
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 薄膜トランジスタ素子及びその製造方法

(57) 【要約】

【課題】 逆スタガード型薄膜トランジスタ素子において、チャネル上の不要なn型化した非晶質シリコン膜の除去の必要がなく、また、非晶質シリコン膜を薄膜化した素子を提供し、該素子を利用して液晶ディスプレイの高開口率化を図る。

【解決手段】 非晶質シリコン膜13とソース・ドレイン電極15の重なり合わない部分のn型化した非晶質シリコン膜14を酸素及び／又は窒素のイオンあるいはラジカルを含むプラズマ16に曝して、絶縁膜17に改質する。



## 【特許請求の範囲】

【請求項1】 少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜を有することを特徴とする薄膜トランジスタ素子。

【請求項2】 少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜をフッ酸を含む溶液により除去して形成されてなる薄膜トランジスタ素子。

【請求項3】 少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜の深さ方向の一部がエッチング除去され、残存するn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜を有することを特徴とする請求項1に記載の薄膜トランジスタ素子。

【請求項4】 少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜の深さ方向の一部がエッチング除去され、残存するn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜をフッ酸を含む溶液により除去して形成されてなる請求項2に記載の薄膜トランジスタ素子。

【請求項5】 前記改質した絶縁膜が酸化膜であることを特徴とする請求項1～4のいずれか1項に記載の薄膜

トランジスタ素子。

【請求項6】 前記酸化膜を酸素イオンあるいは酸素ラジカルが存在するプラズマ酸化法により形成したことを特徴とする請求項5記載の薄膜トランジスタ素子。

【請求項7】 前記改質した絶縁膜が窒化膜であることを特徴とする請求項1～4のいずれか1項に記載の薄膜トランジスタ素子。

【請求項8】 前記窒化膜を窒素イオンあるいは窒素ラジカルが存在するプラズマ窒化法により形成したことを特徴とする請求項7記載の薄膜トランジスタ素子。

【請求項9】 前記改質した絶縁膜が酸化窒化膜であることを特徴とする請求項1～4のいずれか1項に記載の薄膜トランジスタ素子。

【請求項10】 前記酸化窒化膜を酸素イオン又は酸素ラジカル及び窒素イオンあるいは窒素ラジカルが存在するプラズマ酸化窒化法により形成したことを特徴とする請求項9記載の薄膜トランジスタ素子。

【請求項11】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記n型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(c) 前記ソース・ドレイン電極の形成された基板を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記ソース・ドレイン電極と非晶質シリコン膜との重なり合わない部分の前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、

(d) 前記非晶質シリコン膜を所望のアイランド状にパターニングする工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項12】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記n型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(c) 前記ソース・ドレイン電極の形成された基板を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記ソース・ドレイン電極と非晶質シリコン膜との重なり合わない部分の前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、

(d) 前記改質した絶縁膜をフッ酸を含む溶液に曝して除去する工程、

(e) 前記非晶質シリコン膜を所望のアイランド状にパターニングする工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項13】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記非晶質シリコン膜及びn型化した非晶質シリコン膜を所望のアイランド状にパターニングする工程、

(c) 前記アイランド状非晶質シリコン膜及びn型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(d) 前記ソース・ドレイン電極の形成された基板を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記ソース・ドレイン電極と非晶質シリコン膜との重なり合わない部分の前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項14】 前記工程(d)の後、(e)フッ酸を含む溶液に曝して前記改質した絶縁膜を除去する工程を更に実施することを特徴とする請求項13の製造方法。

【請求項15】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記n型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(c) 前記ソース・ドレイン電極と重なり合わない部分の前記n型化した非晶質シリコン膜を深さ方向の一部をエッチングする工程、

(d) 前記エッチング後に残存するn型化した非晶質シリコン膜を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、

(e) 前記非晶質シリコン膜を所望のアイランド状にパターニングする工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項16】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記n型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(c) 前記ソース・ドレイン電極と重なり合わない部分の前記n型化した非晶質シリコン膜を深さ方向の一部をエッチングする工程、

(d) 前記エッチング後に残存するn型化した非晶質シリコン膜を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、

(e) 前記改質した絶縁膜をフッ酸を含む溶液に曝して

除去する工程、

(f) 前記非晶質シリコン膜を所望のアイランド状にパターニングする工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項17】 少なくとも、

(a) 透明絶縁性基板上にゲート電極、ゲート絶縁膜、非晶質シリコン膜、n型化した非晶質シリコン膜を順次形成する工程、

(b) 前記非晶質シリコン膜及びn型化した非晶質シリコン膜を所望のアイランド状にパターニングする工程、

(c) 前記アイランド状非晶質シリコン膜及びn型化した非晶質シリコン膜上にソース・ドレイン電極用金属を形成しパターニングしてソース・ドレイン電極を形成する工程、

(d) 前記ソース・ドレイン電極と重なり合わない部分の前記n型化した非晶質シリコン膜を深さ方向の一部をエッチングする工程、

(e) 前記エッチング後に残存するn型化した非晶質シリコン膜を酸素及び／又は窒素のイオン又はラジカルを含むプラズマ中に曝し、前記n型化した非晶質シリコン膜を絶縁膜に改質する工程、とを順次行うことを特徴とする薄膜トランジスタ素子の製造方法。

【請求項18】 前記工程(e)の後、(f)フッ酸を含む溶液に曝して前記改質した絶縁膜を除去する工程を更に実施することを特徴とする請求項17の製造方法。

【請求項19】 請求項1又は3に記載の薄膜トランジスタ素子において、素子全体を保護するための保護絶縁膜を有し、該保護絶縁膜上に形成された透明導電性電極が保護絶縁膜に設けられたコンタクトホールを介して前記ソース電極に接続されており、かつ前記保護絶縁膜が高分子材料を用いて形成されていることを特徴とする薄膜トランジスタ素子。

【請求項20】 前記高分子材料を用いて形成される保護絶縁膜が、シリコン酸化物であることを特徴とする請求項19に記載の薄膜トランジスタ素子。

【請求項21】 前記シリコン酸化物が、高分子材料としてシロキサン化合物高分子を用いて形成されたことを特徴とする請求項20の薄膜トランジスタ素子。

【請求項22】 前記シリコン酸化物が、高分子材料としてポリシラザン化合物高分子を用いて形成されたことを特徴とする請求項20の薄膜トランジスタ素子。

【請求項23】 前記高分子材料を用いて形成される保護絶縁膜が、熱硬化型樹脂であることを特徴とする請求項19の薄膜トランジスタ素子。

【請求項24】 前記熱硬化型樹脂が、アクリル樹脂であることを特徴とする請求項23に記載の薄膜トランジスタ素子。

【請求項25】 前記熱硬化型樹脂が、フッ素樹脂であることを特徴とする請求項23に記載の薄膜トランジスタ素子。

【請求項26】 前記熱硬化型樹脂が、ポリイミド樹脂であることを特徴とする請求項23に記載の薄膜トランジスタ素子。

【請求項27】 請求項1～4及び19のいずれか1項に記載の薄膜トランジスタ素子をアレイとして用いたことを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ素子及びその製造方法に関し、特にアクティブマトリックス型液晶ディスプレイに使用される薄膜トランジスタ素子構造及びその製造方法に関する。

【0002】

【従来の技術】近年、水素化非晶質シリコン膜を用いた薄膜トランジスタ(TFT)を各表示画素のスイッチ素子として用いたアクティブマトリックス型液晶ディスプレイが量産化されている。特にノート型パソコンの普及に伴い、液晶ディスプレイの受容が急激に増大し、その生産性の向上が要求されている。

【0003】現在、液晶ディスプレイの画素のスイッチング素子として一般的に用いられている逆スタガード型薄膜トランジスタ素子の断面図を図17に示す。はじめに、透明絶縁性基板10上にゲート電極用金属を形成し、所望の形状にパターニングすることによりゲート電極11を形成する。この上にゲート絶縁膜である窒化シリコン膜12、非晶質シリコン膜13、ソース・ドレイン領域のオーミックコンタクトを形成するためにn型化した非晶質シリコン膜14を順次形成し、n型化した非晶質シリコン膜14及び非晶質シリコン膜13をアイランド形状にパターニングする。引き続き、ソース・ドレイン電極用金属を形成し所望の形状にパターニングすることによりソース・ドレイン電極15を形成する。最後に、チャネル上の不要なn型化した非晶質シリコン膜14を、マージンを見込んで非晶質シリコン膜13の一部を含めてエッチング除去することにより、図17に示す薄膜トランジスタ素子が完成する。

【0004】このような逆スタガード型薄膜トランジスタ素子として、特公平4-51069号公報には、アイランド状の非晶質シリコン膜全体を覆い、かつ、薄膜トランジスタのオフ抵抗が $10^9\Omega$ 以上になるように、n型化した非晶質シリコン膜を形成する(すなわち、チャネル上のn型化した非晶質シリコン膜を除去しない)ことを特徴とする薄膜トランジスタが提案されている。しかしながら、良好なオーミックコンタクト特性を得るためには、n型化した非晶質シリコン膜の抵抗率として $10^4\Omega\text{cm}$ 以下の値が必要である。また、典型的な薄膜トランジスタ素子サイズである、(チャネル幅)/(チャネル長) $=10$ の時、 $10^9\Omega$ 以上のオフ抵抗を実現するためには、n型化した非晶質シリコン膜の抵抗率が $10^4\Omega\text{cm}$ 以下であっても、その膜厚を10nm以下にし

なければならない。薄膜トランジスタ素子を液晶ディスプレイの画素の駆動素子として用いて良好なパネル表示を実現する場合、実際にはオフ抵抗として $10^{10}\sim 10^{11}\Omega$ 程度必要であり、これを実現するためにはn型化した非晶質シリコン膜を0.1～1nm程度の膜厚にしなければならない。このような極薄いn型化した非晶質シリコン膜では、良好なオーミックコンタクト特性を得ることができず、オン電流値が著しく低下してしまうという問題があった。

【0005】また近年、液晶ディスプレイの各画素部の開口率向上を目的として、各種の高分子材料を塗布・熱硬化させることにより形成された絶縁膜を保護絶縁膜として用いる技術開発が行われている。これらの塗布絶縁膜においては、2～3 $\mu\text{m}$ 程度の膜厚が容易に得られ、かつ比誘電率が従来の窒化シリコン膜の1/2程度の値である。したがって、これらの塗布絶縁膜上に形成する透明導電性画素電極をデータ線や信号線とオーバーラップさせても、このオーバーラップに起因するカップリング容量が非常に小さくなり、クロストーク等の表示不良が抑えられ、良好な表示特性を維持しつつ高開口率化が可能となる。これに関して、図18を用いて説明する。

【0006】透明絶縁性基板10上にゲート電極用金属を形成し所望の形状にパターニングすることによりゲート電極11を形成する。この上にゲート絶縁膜12である窒化シリコン膜、非晶質シリコン膜13、ソース・ドレイン領域のオーミックコンタクトを形成するためにn型化した非晶質シリコン膜14を順次形成し、n型化した非晶質シリコン膜14及び非晶質シリコン膜13を所望のアイランド形状にパターニングする。引き続き、ソース・ドレイン電極用金属を形成し所望の形状にパターニングすることによりソース・ドレイン電極15を形成する。更にチャネル上の不要なn型化した非晶質シリコン膜14を、マージンを見込んで非晶質シリコン膜13の一部を含めてエッチング除去した後、保護絶縁膜(塗布絶縁膜)18を全面に形成する。最後にコンタクトホールを介してソース電極と電氣的接続をとるよう透明導電性画素電極19を形成することにより、薄膜トランジスタ素子が完成する。このような技術に関しては、例えば、SID '93, Digest, p383(1993), Y. Takafujiら、あるいはAM-LCD96, Digest, p149(1996), Jeong Hyun Kimらから報告されている。

【0007】

【発明が解決しようとする課題】液晶ディスプレイの低価格化実現に向けて、現在、薄膜トランジスタ製造工程の簡略化、高スループット化が強く望まれている。特に、前記の逆スタガード型薄膜トランジスタ素子は、良好な素子特性、安定性の点から、液晶ディスプレイにおいて最も利用されている素子構造であり、その製造工程の簡略化、高スループット化が液晶ディスプレイの低価格化に及ぼす影響は大きい。上述したように、従来の逆

スタガード型薄膜トランジスタ素子では、その製造工程中に、チャネル上の不要なn型化した非晶質シリコン膜をエッチング除去する必要がある、この時、n型化した非晶質シリコン膜をその下に存在する非晶質シリコン膜に対して高い選択比で選択的にエッチングすることが難しいため、マージンを見込んで、下層の非晶質シリコン膜の一部も含めてエッチングしていた。

【0008】しかしながら、このようにエッチングガスに曝された非晶質シリコン膜表面（バックチャネル界面）は、プロセスダメージの影響を強く受け、欠陥に起因した非常に高い界面準位密度を有していた。そのため、エッチング後のチャネル部の非晶質シリコン膜厚が150nm程度以下になると、このバックチャネル側の界面準位の影響で薄膜トランジスタ素子のオン特性が著しく低下してしまう。これらのことから、非晶質シリコン膜としては300nm程度といった厚い膜を成膜する必要がある。

【0009】以上のように、従来の逆スタガード型薄膜トランジスタ素子では、

(1) チャネル上の不要なn型化した非晶質シリコン膜をマージンを見込んで、下層の非晶質シリコン膜の一部も含めてエッチングする必要がある。

(2) 良好なオン特性を得るために、非晶質シリコン膜の膜厚を厚くしなければならない。という、主に2つの課題を有していた。これらの課題が、液晶ディスプレイをコスト高にしてしまうのは、以下の理由が考えられる。

【0010】すなわち、上記(1)の課題に関しては、n型化した非晶質シリコン膜と非晶質シリコン膜とのエッチング選択性が小さいため、パネル内でのエッチング量に分布が生じ易く、したがって、エッチング量が深い部分（すなわち、エッチング後のチャネル部の非晶質シリコン膜厚が薄い部分）で薄膜トランジスタ素子のオン特性が低下し、パネル内で表示ムラが発生することによって製品の歩留まりが低下してしまう。

【0011】上記(2)の課題に関しては、プラズマCVD成膜工程やアイランド化ドライエッチング工程でのスループットが低下し、コスト高になってしまう。また、光感度の高い非晶質シリコン膜の膜厚が厚いと、薄膜トランジスタ素子の光オフ電流値が増大し、保持特性が低下してしまうことにより、パネル内で表示ムラが発生する原因にもなる。

【0012】以上のことから、逆スタガード型薄膜トランジスタ素子において、チャネル上の不要なn型化した非晶質シリコン膜をエッチング除去する必要がなく、また非晶質シリコン膜厚を薄膜化できるデバイス技術の開発が必要となっている。

【0013】また、高開口率化を実現するための従来の構造では、薄膜トランジスタの活性層である非晶質シリコン膜と塗布絶縁膜とがバックチャネル界面で直接接す

ることになり、塗布絶縁膜中に存在する水分や可動イオン等（これらは一般的に、プラズマCVD法で形成される窒化シリコン膜に含まれる量よりもはるかに多い）が、トランジスタのバックチャネル特性に影響を与え、トランジスタ特性の長期信頼性・安定性の面で問題があった。これも液晶ディスプレイにおいて表示ムラの原因となる。この問題を抑制するために、チャネル保護型薄膜トランジスタ素子（バックチャネル界面が予め窒化シリコン膜で覆われている逆スタガード型構造）を用いたり、あるいは塗布絶縁膜を形成する前プロセスとして、前記n型化した非晶質シリコン膜が除去された非晶質シリコン膜のバックチャネル界面上に窒化シリコン膜をまず形成し、その後塗布絶縁膜を形成することによりバックチャネル界面特性を安定化させる等の方法が用いられてきた。しかし、これらはプラズマCVD成膜工程の増加や、パターンニングプロセスの増加等、コスト高の原因となってしまう。これらのことから、薄膜トランジスタ素子として塗布絶縁膜を用いても安定な特性を有する薄膜トランジスタ素子を実現でき、液晶ディスプレイの高開口率化を可能とするようなデバイス技術の開発が必要となっている。

【0014】

【課題を解決するための手段】上記課題を解決する本発明は、少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜を有することを特徴とする薄膜トランジスタ素子、及び少なくとも透明絶縁性基板上に、ゲート電極、ゲート絶縁膜、アイランド状非晶質シリコン膜、ソース・ドレイン電極、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜とを有する逆スタガード型薄膜トランジスタ素子において、前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合わない部分に一旦形成されたn型化した非晶質シリコン膜をプラズマ処理により改質した絶縁膜をフッ酸を含む溶液により除去して形成されてなる薄膜トランジスタ素子に関する。

【0015】

【発明の実施の形態】本発明の薄膜トランジスタ素子を実現するためのキーポイントは、ソース・ドレイン電極とn型化した非晶質シリコン膜とが重なり合わない部分の不要なn型化した非晶質シリコン膜をプラズマ処理により絶縁膜に改質する点にある。これにより、非晶質シ

リコン膜表面(バックチャネル界面)は大気やプラズマ等に直接曝されることがなくダメージを受けない。したがって、バックチャネル界面準位も小さくなり、非晶質シリコン膜の薄膜化が可能となる。

【0016】また本発明では、液晶ディスプレイの高開口率化を実現するために、上記特徴を有する薄膜トランジスタ素子において、素子全体を保護するための保護絶縁膜を有し、この保護絶縁膜上に形成された透明導電性電極がコンタクトホールを介して前記ソース電極と接続されており、前記保護絶縁膜が高分子材料、例えばシロキサン化合物高分子やポリシラザン化合物高分子等を溶剤に溶解した溶液を用いて形成されている塗布絶縁膜であることを特徴とする薄膜トランジスタ素子を提供する。

【0017】次に本発明について詳細に説明する。

【0018】本発明の薄膜トランジスタ素子は、図1に示すように、ガラス基板などの透明絶縁性基板10上にゲート電極11、ゲート絶縁膜12、アイランド状非晶質シリコン膜13、ソース・ドレイン電極15、及び前記アイランド状非晶質シリコン膜とソース・ドレイン電極とが重なり合う部分に中間層として形成されたn型化した非晶質シリコン膜14とを有し、前記n型化した非晶質シリコン膜14が前記アイランド状非晶質シリコン膜13に対して前記ゲート電極11の反対側に形成された構造を持つ逆スタガード型薄膜トランジスタ素子であり、前記アイランド状非晶質シリコン膜13とソース・ドレイン電極15とが重なり合わない部分、つまり、チャネル上も含めてn型化した非晶質シリコン膜14を一旦形成した後、該チャネル上のn型化した非晶質シリコン膜14のみをプラズマ処理、例えば、酸素プラズマ、窒素プラズマあるいは酸素と窒素の混合ガスを用いたプラズマに曝して酸化膜、窒化膜あるいは酸化窒化膜等の絶縁膜17に改質することにより、チャネル上の不要なn型化した非晶質シリコン膜14を実質的に除去した状態と等価な状態を実現できる。非晶質シリコン膜13に比べてn型化した非晶質シリコン膜14(すなわち、不純物を多量に含んだ非晶質シリコン膜)は、酸化、窒化又は酸化窒化速度が速いため、n型化した非晶質シリコン膜14のみを選択的に改質することができる。また、このように改質した酸化膜、窒化膜あるいは酸化窒化膜等の絶縁膜17は、その下の非晶質シリコン膜13とエッチング特性が全く異なるため、例えばフッ酸を含む溶液で容易にエッチング可能で、選択的に該絶縁膜17のみを除去することができる。

【0019】また、高開口率化を実現するための本発明は、図10に示すように、図1の薄膜トランジスタ素子(すなわち、プラズマ処理により改質した絶縁膜17が存在している薄膜トランジスタ素子)において、素子全体を保護するために保護絶縁膜として塗布絶縁膜18を用い、該塗布絶縁膜18上に透明導電性画素電極19が

形成されており、コンタクトホールを介してソース電極と電気的な接続がとられている。

【0020】次に図2を参照して、本発明の一実施形態について説明する。まず、図2(a)に示すように、透明絶縁性基板10上に形成したゲート電極用金属を所望の形状にパターニングしてゲート電極11を形成し、その後、プラズマCVD法等を用いてゲート絶縁膜12、非晶質シリコン膜13、n型化した非晶質シリコン膜14を順次形成する。続いて、図2(b)に示すように、ソース・ドレイン電極用金属をスパッタ法等で形成し、所望の形状にパターニングしてソース・ドレイン電極15を得る。更に、図2(c)に示すように、この基板を酸素及び/又は窒素のイオン又はラジカルを含むプラズマ16雰囲気中に曝す。この時、ソース・ドレイン電極15と非晶質シリコン膜134とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14は、選択的に酸化、窒化又は酸化窒化されてn型不純物を含む酸化シリコン、窒化シリコン又は酸化窒化シリコンなどの絶縁膜17に改質される。したがって、この絶縁膜17はn型化した非晶質シリコン膜14と同程度の膜厚を有している。ここで、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14を全て絶縁膜17に改質するためには、n型化した非晶質シリコン膜14の膜厚は15nm以下程度とするのが望ましい。また、このように薄膜化したn型化した非晶質シリコン膜14で良好なオーミックコンタクト特性を得るためには、ドーピング効率を十分高くしなければならない。したがって、n型化した非晶質シリコン膜形成時のプラズマCVD条件としてシラン流量の10%以上の流量のフォスフィンガスを供給することが望ましい。通常のn型化非晶質シリコン膜成膜時では、フォスフィンガス流量はシランガス流量の5%以下程度と小さい。最後に、図2(e)に示すように、所望のアイランド形状にパターニングすることにより薄膜トランジスタ素子が完成する。

【0021】上記の実施形態では、最後の工程でアイランド形状にパターニングしていたが、非晶質シリコン膜13とn型化した非晶質シリコン膜14を先にアイランド形状にパターニングしてからn型化した非晶質シリコン膜14の絶縁膜への改質を行うこともできる。つまり、本発明の第2の実施形態では、まず、図3(a)に示すように、透明絶縁性基板10上に形成したゲート電極用金属を所望の形状にパターニングしてゲート電極11を形成し、その後、プラズマCVD法等を用いてゲート絶縁膜12、非晶質シリコン膜13、n型化した非晶質シリコン膜14を順次形成する。続いて、図3(b)に示すように、非晶質シリコン膜13とn型化した非晶質シリコン膜14を所望のアイランド形状にパターニングする。次に、図3(c)に示すように、ソース・ドレ

イン電極用金属をスパッタ法等で形成し、所望の形状にパターニングしてソース・ドレイン電極15を得る。

尚、ソース・ドレイン電極15は、次のプラズマ処理工程でアイランド形状にパターニングされたn型化した非晶質シリコン膜14の側面からの酸化、窒化又は酸化窒化を避けるため、同図に示すようにその側面をも覆うように形成される。そして最後に、図3(d)に示すように、プラズマ処理を施すことによって、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14が選択的に酸化、窒化又は酸化窒化されて、n型不純物を含む酸化シリコン又は窒化シリコンなどの絶縁膜16に改質されて、薄膜トランジスタ素子が完成する。

【0022】尚、n型不純物としては、リン(P)、ヒ素(As)、アンチモン(Sb)などが挙げられるが、本発明ではリンを用いるのが好ましい。

【0023】前述のように、プラズマ処理により改質した絶縁膜17はフッ酸を含む溶液、例えば、バッファードフッ酸液などで容易に除去することができる。このように改質した絶縁膜を除去した構成も本発明の対象である。以下、改質した絶縁膜の除去工程を含む薄膜トランジスタ素子の製造方法について説明する。

【0024】図4は改質した絶縁膜の除去工程を含む薄膜トランジスタ素子の製造方法の一例を示す断面工程図である。同図において、(a)～(c)は図2(a)～(c)と同様であり、説明は省略する。ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14を改質した絶縁膜16は、基板をバッファードフッ酸溶液中に浸漬、あるいはバッファードフッ酸溶液を基板にスプレーする等の通常のウェットエッチング法により選択的に除去することができる(図4

(d))。絶縁膜16の下の方の非晶質シリコン膜13はバッファードフッ酸溶液でエッチングされることはない。最後に、非晶質シリコン膜13を所望のアイランド形状にパターニングすることにより、図4(e)に示すような本発明の薄膜トランジスタが完成する。

【0025】図5は改質した絶縁膜の除去工程を含む薄膜トランジスタ素子の製造方法の別の一例を示す断面工程図である。同図において、(a)～(d)は図3

(a)～(d)と同様であり、説明は省略する。ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14を改質した絶縁膜16は、基板をバッファードフッ酸溶液中に浸漬、あるいはバッファードフッ酸溶液を基板にスプレーすることにより選択的に除去することができ、図5(e)に示すような本発明の薄膜トランジスタが完成する。

【0026】前述のように、ソース・ドレイン電極15

と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14を深さ方向に一部エッチング除去し、その後、残されたn型化した非晶質シリコン膜14をプラズマ処理により絶縁膜16に改質する構成も本発明の対象である。この場合、n型化した非晶質シリコン膜14の膜厚を50～100nm程度に厚膜化でき、より良好なオーミックコンタクト特性が得られ易い。以下、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の非晶質シリコン膜13上のn型化した非晶質シリコン膜14の深さ方向に一部エッチング除去する工程を含む薄膜トランジスタ素子の製造方法について説明する。

【0027】本発明の第5の実施形態について、図6(a)～(e)を用いて詳細に説明する。

【0028】図6(a)に示すように、透明絶縁性基板10上に形成したゲート電極用金属を所望の形状にパターニングしてゲート電極11を形成し、その後、プラズマCVD等を用いてゲート絶縁膜12、非晶質シリコン膜13、n型化した非晶質シリコン膜14を順次形成する。続いて、図6(b)に示すように、ソース・ドレイン電極用金属をスパッタ法等により形成し、所望のソース・ドレイン電極15の形状にパターニングする。その後、図6(c)に示すように、ドライエッチング法あるいはウェットエッチング法により、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の不要なn型化した非晶質シリコン膜14を全表面にわたり深さ方向に一部のみエッチング除去する。更に図6(d)に示すように、この基板を酸素及び/又は窒素プラズマ16雰囲気中に曝す。この時、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の残存しているn型化した非晶質シリコン膜14は、酸化膜、窒化膜あるいは酸化窒化膜の絶縁膜17に改質される。又、残存しているn型化した非晶質シリコン膜14全体を酸化膜、窒化膜あるいは酸化窒化膜に改質するために、残存させるn型化した非晶質シリコン膜14の膜厚としては15nm以下程度が好ましい。最後に、図6(e)に示すように、この絶縁膜17及び非晶質シリコン膜13を所望のアイランド形状にパターニングすることにより本発明の薄膜トランジスタ素子が完成する。

【0029】本発明の第6の実施形態について、図7(a)～(f)を用いて詳細に説明する。

【0030】図7(a)～(d)は、図6(a)～(d)と同じであり、説明を省略する。続いて、図7(e)に示すように、この基板をフッ酸を含む溶液に曝すことにより絶縁膜17をエッチング除去する。最後に、図7(f)に示すように、非晶質シリコン膜13を所望のアイランド形状にパターニングすることにより本発明の薄膜トランジスタ素子が完成する。

【0031】本発明の第8の実施形態について、図8



(a)～(e)を用いて詳細に説明する。

【0032】まず、図8(a)に示すように、透明絶縁性基板10上に形成したゲート電極用金属を所望の形状にパターニングしてゲート電極11を形成し、その後、プラズマCVD法等を用いてゲート絶縁膜12、非晶質シリコン膜13、n型化した非晶質シリコン膜14を順次形成する。続いて、図8(b)に示すように、非晶質シリコン膜13とn型化した非晶質シリコン膜14を所望のアイランド形状にパターニングする。次に、図8(c)に示すように、ソース・ドレイン電極用金属をスパッタ法等で形成し、所望の形状にパターニングしてソース・ドレイン電極15を得る。尚、ソース・ドレイン電極15は、次のプラズマ処理工程でアイランド形状にパターニングされたn型化した非晶質シリコン膜14の側面からの酸化、窒化又は酸化窒化を避けるため、同図に示すようにその側面をも覆うように形成される。その後、図8(d)に示すように、ドライエッチング法あるいはウェットエッチング法により、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の不要なn型化した非晶質シリコン膜14を全表面にわたり深さ方向に一部のみエッチング除去する。更に図8(e)に示すように、この基板を酸素及び/又は窒素プラズマ16雰囲気中に曝す。この時、ソース・ドレイン電極15と非晶質シリコン膜13とが重なり合わない部分の残存しているn型化した非晶質シリコン膜14は、酸化膜、窒化膜あるいは酸化窒化膜の絶縁膜17に改質される。また、残存しているn型化した非晶質シリコン膜14全体を酸化膜、窒化膜あるいは酸化窒化膜に改質するために、残存させるn型化した非晶質シリコン膜14の膜厚としては15nm以下程度が好ましい。以上の工程により本発明の薄膜トランジスタ素子が完成する。

【0033】本発明の第8の実施形態では、図9に示すように、前記第7の実施形態で選られた薄膜トランジスタ素子をフッ酸を含む溶液に曝すことにより絶縁膜17をエッチング除去することにより、本発明の薄膜トランジスタ素子が完成する。

【0034】続いて、前述の薄膜トランジスタ素子を用いて高開口率化を実現するための本発明について説明する。

【0035】本発明の第9の実施形態について、図10、図11を用いて詳細に説明する。それぞれ、図2(a)～(d)又は図3(a)～(d)の工程を経て形成された薄膜トランジスタ素子上に、絶縁膜形成用塗布液を回転塗布し、熱処理を行うことにより塗布絶縁膜18を形成する。続いて、所望の形状のコンタクトホールを形成する。その後、透明導電性画素電極19を形成することにより、図10及び図11に示す本発明の薄膜トランジスタ素子が完成する。

【0036】本発明の第10の実施形態について、図12、図13を用いて詳細に説明する。それぞれ、図6

(a)～(e)又は図8(a)～(e)の工程を経て形成された薄膜トランジスタ素子上に、絶縁膜形成用塗布液を回転塗布し、熱処理を行うことにより塗布絶縁膜18を形成する。続いて、所望の形状のコンタクトホールを形成する。その後、透明導電性画素電極19を形成することにより、図12及び図13に示す本発明の薄膜トランジスタ素子が完成する。

【0037】これら第9及び第10の実施形態において、塗布絶縁膜18の前駆体としての塗布絶縁膜形成用材料としては、シロキサン化合物高分子やポリシラザン化合物高分子等が使用可能である。これらの高分子材料とメシチレンやキシレン等の溶剤との混合溶液をスピンコーティング法等により基板上に均一に塗布し、200～300℃程度で熱処理することにより塗布絶縁膜18としてシリコン酸化膜が形成される。

【0038】更に、塗布絶縁膜18の前駆体としての塗布絶縁膜形成用材料として、アクリル樹脂、フッ素樹脂、ポリイミド樹脂等を有機溶剤に解かした溶液を用いることも可能である。これらの溶液をスピンコーティング法等により基板上に均一に塗布し、200～300℃程度で熱処理を行い、溶剤を蒸発させて硬化させることにより塗布絶縁膜18として、アクリル樹脂、フッ素樹脂、ポリイミド樹脂等が形成できる。

【0039】通常、これらの塗布絶縁膜は、プラズマCVD法で形成される窒化シリコン膜に比べて膜中の水分や可動イオン密度が高く、薄膜トランジスタ特性へ悪影響を与えることが懸念されていたが、本発明では、これらの塗布絶縁膜と非晶質シリコン膜との間にプラズマ処理により形成された酸化膜、窒化膜あるいは酸化窒化膜等の絶縁膜が存在するため、塗布絶縁膜中の水分や可動イオンによって薄膜トランジスタ特性に悪影響を受けることがなくなった。

【0040】

【実施例】以下、実施例を参照して本発明を具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。

【0041】実施例1

図2に示す工程順により、本発明の一実施例として逆スタガード型薄膜トランジスタ素子の製造方法を説明する。

【0042】まず、透明絶縁性基板であるガラス基板10上にゲート電極用金属としてクロミウムをスパッタ法により100nm成膜し、ウェットエッチング法により所望のゲート電極11形状にパターニングする。その後、プラズマCVD法を用いて、シラン、アンモニア、窒素及び水素の混合ガスを原料としてゲート絶縁膜である窒化シリコン膜12を400nm、シラン及び水素の混合ガスを原料として活性層である非晶質シリコン膜13を50～200nm、シラン及びアルゴンベース0.5%フォスフィンの混合ガスを原料としてn型化した非

品質シリコン膜14を7nm形成した。ドーピング効率の高いn型化した非晶質シリコン膜を形成するために、シラン流量に対して80倍の流量のアルゴンベース0.5%フォスフィンガスを供給した。この時、シラン流量に対するフォスフィンの流量は20%と高く、ドナー準位が効率よく形成された。成膜温度は窒化シリコン膜12と非晶質シリコン膜13が300℃、n型化した非晶質シリコン膜14が280℃である。このようにして図2(a)に示す構成が完成する。続いて、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極形状にパターニングする。このようにして図2(b)まで工程が進む。これらの工程を経た基板を酸素プラズマ中に曝す。この時の酸素プラズマ形成条件としては、酸素流量30sccm、ガス圧力60mTorr、RF電力密度0.25Wcm<sup>-2</sup>、処理時間は2分である。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でのセルフバイアス電圧は300~400Vであった。このように酸素プラズマ16中に曝すことにより、ソース・ドレイン電極15と非晶質シリコン膜13の重なり合わない部分のn型化した非晶質シリコン膜14は絶縁性の酸化膜17に改質した。このようにして図2(c)までの工程が完了する。その後、この酸化膜17及び非晶質シリコン膜13をドライエッチング法によりエッチングし、所望のアイランド形状にパターニングすることにより、図2(d)に示すような薄膜トランジスタ素子が完成する。

【0043】このようにして作製された本発明の薄膜トランジスタ素子のゲート電圧-ドレイン電流特性を非晶質シリコン膜の膜厚をパラメーターとして図14に示す。同図に示すように、いずれの膜厚においても実用的な良好なオン・オフ特性が得られた。非晶質シリコン膜の膜厚を200~50nmまで薄膜化すると、若干しきい値電圧が高くなるものの、ゲート電圧15V以上の十分にオンした領域ではオン電流値の低下は小さく、実用上問題のないレベルであった。また、電界効果移動度は、0.6~0.8cm<sup>2</sup>V<sup>-1</sup>sec<sup>-1</sup>程度で良好であった。

【0044】このように、本発明により、チャネル上の不要なn型化した非晶質シリコン膜をエッチング除去する必要がなくなるため、非晶質シリコン膜を薄膜化した逆スタガード型薄膜トランジスタ素子が実現できる。

#### 【0045】実施例2

本発明の第2の実施例として図3を参照して説明する。

【0046】まず、実施例1と同様にしてn型化した非晶質シリコン膜14までが形成された基板(図3(a))を得た。尚、非晶質シリコン膜13は100nmの膜厚に成膜した。次に、非晶質シリコン膜13及び

n型化した非晶質シリコン膜14を所望のアイランド形状にパターニングして図3(b)に示す構成を得た。更に、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極形状にパターニングして図3(c)に示す構成の基板を得た。最後にこの基板を酸素プラズマ中に曝した。この時の酸素プラズマ形成条件としては、酸素流量30sccm、ガス圧力60mTorr、RF電力密度0.25Wcm<sup>-2</sup>、処理時間は2分とした。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でセルフバイアス電圧300~400Vを印加した。このように酸素プラズマ中に曝すことにより、ソース・ドレイン電極6と非晶質シリコン膜13の重なり合わない部分のn型化した非晶質シリコン膜14は絶縁性の酸化膜7に改質され、図3(d)に示す薄膜トランジスタ素子が完成した。このようにして得られた薄膜トランジスタ素子も実施例1と同様に十分実用的で良好なオン・オフ特性を有するものであった。

【0047】以上の実施例1、2では、プラズマ処理として酸素プラズマ中での処理例について説明したが、本発明では、窒素プラズマ処理を用いても同様に良好なオン・オフ特性を有する薄膜トランジスタ素子を得ることが可能である。窒素プラズマ形成条件としては、例えば、窒素流量50sccm、ガス圧力60mTorr、RF電力密度0.3Wcm<sup>-2</sup>、セルフバイアス電圧200~300Vで行うことができ、この条件で、ソース・ドレイン電極と非晶質シリコン膜との重なり合わない部分の非晶質シリコン膜上のn型化した非晶質シリコン膜を絶縁性の窒化膜に改質され、実用的な薄膜トランジスタ特性が得られた。更に酸素と窒素の混合ガスでプラズマ処理を行った場合でも同様の効果が得られた。

#### 【0048】実施例3

図4に示す工程順により、本発明の一実施例として、実施例1で製造された逆スタガード型薄膜トランジスタ素子から改質した絶縁膜17を除去した構成の薄膜トランジスタ素子の製造方法を説明する。

【0049】まず、透明絶縁性基板であるガラス基板10上にゲート電極用金属としてクロミウムをスパッタ法により100nm成膜し、ウェットエッチング法により所望のゲート電極11形状にパターニングする。その後、プラズマCVD法を用いて、シラン、アンモニア、窒素及び水素の混合ガスを原料としてゲート絶縁膜である窒化シリコン膜12を400nm、シラン及び水素の混合ガスを原料として活性層である非晶質シリコン膜13を100nm、シラン及びアルゴンベース0.5%フォスフィンの混合ガスを原料としてn型化した非晶質シリコン膜14を7nm形成した。成膜温度は窒化シリコン膜12と非晶質シリコン膜13が300℃、n型化し

た非晶質シリコン膜14が280℃である。このようにして図4(a)に示す構成が完成する。続いて、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極形状にパターニングする。このようにして図4(b)まで工程が進む。これらの工程を経た基板を酸素プラズマ中に曝す。この時の酸素プラズマ形成条件としては、酸素流量30sccm、ガス圧力60mTorr、RF電力密度0.25Wcm<sup>-2</sup>、処理時間は2分である。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でセルフバイアス電圧300~400Vを印加した。このように酸素プラズマ中に曝すことにより、ソース・ドレイン電極15と非晶質シリコン膜13の重なり合わない部分のn型化した非晶質シリコン膜14は絶縁性の酸化膜17に改質した。このようにして図4(c)までの工程が完了する。更にこの基板を体積比1:6の16バッファードフッ酸と水との混合液中に浸し、酸化膜17のみを選択的にエッチング除去することにより図4(d)の構成が得られた。最後に非晶質シリコン膜13をドライエッチング法によりエッチングし、所望のアイランド形状にパターニングすることにより、図4(e)に示すような薄膜トランジスタ素子が完成する。このようにして得られた薄膜トランジスタ素子も実施例1と同様に十分実用的で良好なオン・オフ特性を有するものであった。

#### 【0050】実施例4

図5に示す工程順により、本発明の一実施例として、実施例2で製造された逆スタガード型薄膜トランジスタ素子から改質した絶縁膜17を除去した構成の薄膜トランジスタ素子の製造方法を説明する。

【0051】まず、透明絶縁性基板であるガラス基板10上にゲート電極用金属としてクロミウムをスパッタ法により100nm成膜し、ウェットエッチング法により所望のゲート電極11形状にパターニングする。その後、プラズマCVD法を用いて、シラン、アンモニア、窒素及び水素の混合ガスを原料としてゲート絶縁膜である窒化シリコン膜12を400nm、シラン及び水素の混合ガスを原料として活性層である非晶質シリコン膜13を100nm、シラン及びアルゴンベース0.5%フオスフィンの混合ガスを原料としてn型化した非晶質シリコン膜14を7nm形成した。成膜温度は窒化シリコン膜12と非晶質シリコン膜13が300℃、n型化した非晶質シリコン膜14が280℃である。このようにして図5(a)に示す構成が完成する。次に、非晶質シリコン膜13及びn型化した非晶質シリコン膜14を所望のアイランド形状にパターニングして図5(b)に示す構成を得た。更に、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により

100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極形状にパターニングして図5

(c)に示す構成の基板を得た。これらの工程を経た基板を酸素プラズマ中に曝す。この時の酸素プラズマ形成条件としては、酸素流量30sccm、ガス圧力60mTorr、RF電力密度0.25Wcm<sup>-2</sup>、処理時間は2分である。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でセルフバイアス電圧300~400Vを印加した。このように酸素プラズマ中に曝すことにより、ソース・ドレイン電極15と非晶質シリコン膜13の重なり合わない部分のn型化した非晶質シリコン膜14は絶縁性の酸化膜17に改質した。このようにして図5(d)までの工程が完了する。更にこの基板を体積比1:6の16バッファードフッ酸と水との混合液中に浸し、酸化膜17のみを選択的にエッチング除去することにより図5(e)に示すような薄膜トランジスタ素子が完成する。このようにして得られた薄膜トランジスタ素子も実施例1と同様に十分実用的で良好なオン・オフ特性を有するものであった。

【0052】以上の実施例3及び4でも、酸素プラズマ処理に代えて窒素プラズマ処理を実行して絶縁性の窒化膜とした後に、該窒化膜をフッ酸を含む溶液で除去して同様の構成の薄膜トランジスタ素子を得ることができ

#### 【0053】実施例5

図6に示す工程順により、本発明の一実施例として、n型化した非晶質シリコン膜の一部を除去した後に、残存するn型化した非晶質シリコン膜をプラズマ処理により改質して絶縁膜17とした構成の薄膜トランジスタ素子の製造方法を説明する。

【0054】まず、透明絶縁性基板であるガラス基板10上にゲート電極用金属としてクロミウムをスパッタ法により100nm成膜し、ウェットエッチング法により所望のゲート電極11形状にパターニングする。その後、プラズマCVD法を用いて、シラン、アンモニア、窒素及び水素の混合ガスを原料としてゲート絶縁膜である窒化シリコン膜12を400nm、シラン及び水素の混合ガスを原料として活性層である非晶質シリコン膜13を100nm、シラン及びアルゴンベース0.5%フオスフィンの混合ガスを原料としてn型化した非晶質シリコン膜14を50nm形成した。成膜温度は窒化シリコン膜12と非晶質シリコン膜13が300℃、n型化した非晶質シリコン膜14が280℃である。このようにして図6(a)に示す構成が完成する。次に、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極15の形状にパターニングして図6(b)に示す構成の基板を得た。その後、塩素系ガスをを用いたドライエッチング法

あるいはフッ酸と硝酸の混合液系を用いたウェットエッチング法により、ソース・ドレイン電極15と重なり合わない部分のn型化した非晶質シリコン膜14を全表面にわたり深さ方向に40nm程度エッチング除去する。従って、n型化した非晶質シリコン膜14はソース・ドレイン電極15下部以外の全表面にわたり10nm程度残存する。このようにして図6(c)まで工程が進む。更に図6(d)に示すように、この基板を酸素又は窒素プラズマ16雰囲気中に曝す。この時のプラズマ形成条件としては、酸素又は窒素流量30~50sccm、ガス圧力60mTorr、RF電力密度0.25~0.30Wcm<sup>-2</sup>、処理時間は2分である。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でセルフバイアス電圧200~400Vを印加した。このように酸素又は窒素プラズマ雰囲気中に基板を曝すことにより、ソース・ドレイン電極15と非晶質シリコン膜13の重なり合わない部分の非晶質シリコン膜13上に残存している10nm程度のn型化した非晶質シリコン膜14は絶縁性の酸化膜又は窒化膜17に改質された。図6(c)、(d)のプロセス連続性を考えると、図6(c)のプロセスをドライエッチングで行う方が、同一チャンバで図6(d)のプロセスを行うことができるという点で効率がよい。このようにして図6(d)まで工程が進む。最後に、図6(e)に示すように、この絶縁膜17及び非晶質シリコン膜13を所望のアイランド形状にドライエッチング法を用いてパターンニングすることにより本発明の薄膜トランジスタ素子が完成する。このようにして得られた薄膜トランジスタ素子も実施例1と同様に、オン・オフ電流値比6桁以上、良好なオーミックコンタクト特性、電界効果移動度0.7cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>、しきい値電圧1.5V程度の実用的で良好な特性を示した。

#### 【0055】実施例6

図7に示す工程順により、本発明の一実施例として、n型化した非晶質シリコン膜の一部を除去した後に、残存するn型化した非晶質シリコン膜をプラズマ処理により改質して絶縁膜17とし、最終的に改質した絶縁膜17を除去した構成の薄膜トランジスタ素子の製造方法を説明する。

【0056】実施例5で示した図6(a)~(d)と同様にして図7(a)~(d)の工程を実施する。次に、この基板を体積比1:6の16バフアードフッ酸と水との混合液中に浸し、絶縁層17のみを選択的にエッチング除去することにより図7(e)の構成が得られた。最後に、図7(f)に示すように、非晶質シリコン膜13を所望のアイランド形状にドライエッチング法を用いてパターンニングすることにより本発明の薄膜トランジスタ素子が完成する。また、図6(e)で得られた素子の絶縁膜17のみを選択的にエッチングしても図7(f)

に示す素子を得ることができる。このようにして得られた薄膜トランジスタ素子も実施例1と同様に、オン・オフ電流値比6桁以上、良好なオーミックコンタクト特性、電界効果移動度0.6cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup>、しきい値電圧1.5V程度の実用的で良好な特性を示した。

#### 【0057】実施例7

図8に示す工程順により、本発明の一実施例として、n型化した非晶質シリコン膜の一部を除去した後に、残存するn型化した非晶質シリコン膜をプラズマ処理により改質して絶縁膜17とした構成の薄膜トランジスタ素子の製造方法を説明する。

【0058】まず、透明絶縁性基板であるガラス基板10上にゲート電極用金属としてクロミウムをスパッタ法により100nm成膜し、ウェットエッチング法により所望のゲート電極11形状にパターンニングする。その後、プラズマCVD法を用いて、シラン、アンモニア、窒素及び水素の混合ガスを原料としてゲート絶縁膜である窒化シリコン膜12を400nm、シラン及び水素の混合ガスを原料として活性層である非晶質シリコン膜13を100nm、シラン及びアルゴンベース0.5%フオスフィンの混合ガスを原料としてn型化した非晶質シリコン膜14を50nm形成した。成膜温度は窒化シリコン膜12と非晶質シリコン膜13が300℃、n型化した非晶質シリコン膜14が280℃である。このようにして図8(a)に示す構成が完成する。続いて、図8(b)に示すように、非晶質シリコン膜13及びn型化した非晶質シリコン膜14を所望のアイランド形状にドライエッチング法を用いてパターンニングする。更に図8(c)に示すように、ソース・ドレイン電極用金属としてクロミウムを基板温度150℃で、スパッタ法により100nm成膜し、ウェットエッチング法により所望のソース・ドレイン電極形状にパターンニングした。その後、塩素系ガスをを用いたドライエッチング法あるいはフッ酸と硝酸の混合液系を用いたウェットエッチング法により、ソース・ドレイン電極15と重なり合わない部分のn型化した非晶質シリコン膜14を深さ方向に40nm程度エッチング除去する。従って、n型化した非晶質シリコン膜14は10nm程度残存する。このようにして図8(d)まで工程が進む。更に図8(e)に示すように、この基板を酸素又は窒素プラズマ16雰囲気中に曝す。この時のプラズマ形成条件としては、酸素又は窒素流量30~50sccm、ガス圧力60mTorr、RF電力密度0.25~0.30Wcm<sup>-2</sup>、処理時間は2分である。プラズマ発生装置として、平行平板型プラズマ発生装置を用い、基板はプラズマ処理装置内のカソード電極上に設置し、この条件下でセルフバイアス電圧200~400Vを印加した。このように酸素又は窒素プラズマ雰囲気中に基板を曝すことにより、ソース・ドレイン電極15と非晶質シリコン膜13の重なり合わない部分の非晶質シリコン膜13上に残存している10nm

m程度のn型化した非晶質シリコン膜14は絶縁性の酸化膜又は窒化膜17に改質された。図8(d)、(e)のプロセス連続性を考えると、図8(d)のプロセスをドライエッチングで行う方が、同一チャンバで図8(e)のプロセスを行うことができるという点で効率がよい。このようにして図8(e)まで工程が進み、本発明の薄膜トランジスタ素子が完成する。このようにして得られた薄膜トランジスタ素子も実施例1と同様に、オン・オフ電流値比6桁以上、良好なオーミックコンタクト特性、電界効果移動度 $0.7\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 、しきい値電圧1.5V程度の実用的で良好な特性を示した。

#### 【0059】実施例8

実施例7で得られた基板を体積比1:6の16バッファードフッ酸と水との混合液中に浸し、絶縁膜17のみを選択的にエッチング除去することにより図9に示すような本発明の薄膜トランジスタ素子が完成する。このようにして得られた薄膜トランジスタ素子も実施例1と同様に、オン・オフ電流値比6桁以上、良好なオーミックコンタクト特性、電界効果移動度 $0.6\text{ cm}^2\text{ V}^{-1}\text{ s}^{-1}$ 、しきい値電圧1.5V程度の実用的で良好な特性を示した。

#### 【0060】実施例9～12

次に、上記実施例で得られた薄膜トランジスタ素子を用いて高開口率化を実現する実施例について説明する。

【0061】上記実施例1、2、5及び7で得られた薄膜トランジスタ素子を用いて、これらの素子上にそれぞれ絶縁膜形成用塗布液として、シロキサン化合物とベンゾシクロブテンとを共重合させたジビニルシロキサンービスーベンゾシクロブテン重合物を溶媒のメシチレンに解かした溶液を、スピンコーターを用いて回転塗布し、その後250℃で1時間、窒素雰囲気中で熱処理を行い硬化させ、素子上全体に塗布絶縁膜18としてシリコン酸化物を2～3μm程度形成し、所望の形状のコンタクトホールを形成する。このようにして形成された塗布絶縁膜の可視光領域(波長400～700nm)での透過率は95%であった。更に透明導電性画素電極19としてITOを40～80nm程度の厚みにスパッタ法により形成し、所望の形状にパターニングすることにより、図10～13に示す本発明の薄膜トランジスタ素子が完成する。

【0062】上述の説明では、シロキサン化合物高分子から保護絶縁膜18としてシリコン酸化物を形成する場合を述べた。このようにして作製された薄膜トランジスタのマイナスゲートバイアスストレスに対する特性変化の様子を図15に示す。液晶ディスプレイ表示状態において、薄膜トランジスタのゲート電極はほとんどの時間マイナスにバイアスされているので、マイナスゲートバイアスストレスに対する信頼性がもっとも重要である。ストレス条件は、ゲート電極にマイナス30V、ドレイン電極に0V、温度50℃である。比較のために、図1

6に非晶質シリコン膜と塗布絶縁膜とがバックチャネル界面で直接接する(すなわち、界面にプラズマ処理により改質された絶縁膜が存在しない)従来構造の薄膜トランジスタの場合のゲートバイアスストレスに対する特性変化を示す。ストレス条件は図15の場合と同様である。これらの図を比較してわかるように、マイナスのストレスに対して、従来構造に比べ本発明の薄膜トランジスタ素子構造ではオフ電流増加現象が抑制され、特性の安定性が向上している。その他、シロキサン化合物とフッ素樹脂との混合材料を絶縁膜形成用塗布溶液として用いても同様の特性が得られる。

【0063】絶縁膜形成用塗布溶液として、ポリシラザン化合物を用いることもできる。(—Si—N—)を主鎖とするシラザンポリマーをキシレン等の有機溶剤に解かした溶液を、スピンコーターを用いて回転塗布し、その後、250℃で1時間大気中で熱処理を行い硬化させ、基板全体に塗布絶縁膜としてシリコン酸化物を2～3μm程度形成することができる。このようにして形成した塗布絶縁膜を用いた薄膜トランジスタ素子においても、図15に示した特性と同様に安定した特性が得られた。

【0064】その他、絶縁膜形成用塗布溶液としては、アクリル樹脂、フッ素樹脂、ポリイミド樹脂等の熱硬化型樹脂あるいはその樹脂を溶剤に解かした溶液を用いることもできる。

【0065】アクリル樹脂の場合、プロピレングリコールメチルエーテルアセテートや、ジエチレングリコールメチルエーテル等を溶剤として用いる。前記実施例と同様にスピンコーターを用いて回転塗布し、その後200℃で1時間大気中で熱処理を行い硬化させることにより、基板全体に塗布絶縁膜としてアクリル樹脂を2～3μm程度形成することができる。

【0066】フッ素樹脂の場合もプロピレングリコールメチルエーテルアセテートや、ジエチレングリコールメチルエーテル等を溶剤として用いる。同様にスピンコーターを用いて回転塗布し、その後250℃で1時間大気中で熱処理を行い硬化させることにより、基板全体に塗布絶縁膜としてフッ素樹脂を2～3μm程度形成することができる。

【0067】ポリイミド樹脂の場合は、N-メチル-2-ピロリドン等を溶剤として用いる。同様にスピンコーターを用いて回転塗布し、その後200℃で1時間大気中で熱処理を行い硬化させることにより、基板全体に塗布絶縁膜としてポリイミド樹脂を2～3μm程度形成することができる。

【0068】このような有機樹脂を用いた場合も図15に示した特性と同様の特性が得られた。これらの樹脂塗布絶縁膜においても、可視光領域での透過率は95%以上であり、実用的な光透過特性であった。

【0069】以上の実施例ではプラズマ発生装置とし

て、平行平板電極プラズマ発生装置を用いたが、誘導結合型構造あるいはマイクロ波を用いた無電極放電プラズマ装置など、酸素あるいは窒素のプラズマを発生でき、 $n$ 型化した非晶質シリコン膜を絶縁膜へ改質可能であればいずれの装置も使用可能である。また、プラズマ発生ガスとしては、酸素及び窒素ガスを用いた例について説明したが、これら以外にも所望の酸素プラズマあるいは窒素プラズマを形成可能なガス、例えば、オゾン、酸化窒素( $N_2O$ )等の酸素化合物あるいはアンモニア等の窒素化合物、或いはこれらのガスに $He$ 等の希ガスを加えた混合ガスでも可能である。また、酸素と窒素の混合ガス等を用いて、プラズマ中に酸素イオン、酸素ラジカル、窒素イオン、窒素ラジカル等を同時に生成してプラズマ処理を行ってもよい。

【0070】また、上記の実施例では、ゲート電極、ソース・ドレイン電極としてクロミウムを使用した例について説明したが、その他公知のモリブデン、アルミニウム、タングステンなどの金属やこれらの合金、あるいはこれらの金属の積層構造とするなど、いずれの形態にも本発明を適用することが可能である。

【0071】以上述べたような様々な高分子材料から形成される塗布絶縁膜、電極材料、 $n$ 型化した非晶質シリコン膜の絶縁膜への改質方法を組み合わせることにより、本発明の薄膜トランジスタ素子を実現することができる。

【0072】

【発明の効果】以上説明したように、本発明を適用することにより、逆スタガード型薄膜トランジスタ素子において、マージンを見込みながら下層の非晶質シリコン膜の一部も含めてチャネル上の不要な $n$ 型化した非晶質シリコン膜をエッチング除去する必要がなく、且つ良好な特性を維持しつつ非晶質シリコン膜を薄膜化することが可能となった。

【0073】特に、 $n$ 型化した非晶質シリコン膜をエッチング除去することなく、プラズマ処理により絶縁膜に改質することにより、バックチャネル界面を形成するため、欠陥密度が小さく、良好で安定したバックチャネル界面が実現できた。更に、このような絶縁膜がフッ酸を含む溶液で容易に除去でき、その場合には、フッ酸中の水素によって、バックチャネル界面のシリコンのダングリングボンドが終端され、欠陥密度を更に低減できるといふ効果を奏する。

【0074】又、本発明の薄膜トランジスタ素子を用いることにより、従来の薄膜トランジスタ素子よりも安定な特性を維持しつつ、しかもプロセス工程数を増加させることなく液晶ディスプレイの高開口率化が実現できた。これは、保護絶縁膜として高分子材料から形成される比誘電率の小さい塗布絶縁膜を用い、その膜上に信号線やデータ線とオーバーラップさせて画素電極を形成できること、この塗布絶縁膜と非晶質シリコン膜との界面

にプラズマ処理により改質された絶縁膜が形成されており、これが保護膜として働き、薄膜トランジスタ素子特性の安定性が確保できることに起因している。また特に、塗布絶縁膜を形成するための高分子材料として熱硬化型樹脂を用いた場合、材料費が安い等の理由により、大幅な低コスト化が期待できる。

【0075】このように、本発明を用いることにより、薄膜トランジスタ素子特性を確保しつつ、液晶ディスプレイの高開口率化が実現し、更にこのような高性能液晶ディスプレイ製造の低コスト化が実現できた。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタ素子の一実施形態を説明するための概略断面図である。

【図2】本発明の薄膜トランジスタ素子の製造方法の一実施形態を説明するための概略断面図であり、(a)～(d)はその各製造工程をそれぞれ示す。

【図3】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(d)はその各製造工程をそれぞれ示す。

【図4】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(e)はその各製造工程をそれぞれ示す。

【図5】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(e)はその各製造工程をそれぞれ示す。

【図6】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(e)はその各製造工程をそれぞれ示す。

【図7】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(f)はその各製造工程をそれぞれ示す。

【図8】本発明の薄膜トランジスタ素子の製造方法の他の実施形態を説明するための概略断面図であり、(a)～(e)はその各製造工程をそれぞれ示す。

【図9】本発明の薄膜トランジスタ素子の他の実施形態を説明するための概略断面図である。

【図10】本発明の高開口率化を実現するための薄膜トランジスタ素子の一実施形態を説明するための概略断面図である。

【図11】本発明の高開口率化を実現するための薄膜トランジスタ素子の他の実施形態を説明するための概略断面図である。

【図12】本発明の高開口率化を実現するための薄膜トランジスタ素子の他の実施形態を説明するための概略断面図である。

【図13】本発明の高開口率化を実現するための薄膜トランジスタ素子の他の実施形態を説明するための概略断面図である。

【図14】実施例1で製造した薄膜トランジスタ素子の非晶質シリコン膜の膜厚の違いによるゲート電圧ドレ

イン電流特性を示すグラフである。

【図15】本発明の高開口率化構造の薄膜トランジスタ素子のゲート電圧-ドレイン電流特性の初期特性及びマイナスゲートバイアスストレスに対する特性変化を示すグラフである。

【図16】従来構造の高開口率化構造の薄膜トランジスタ素子のゲート電圧-ドレイン電流特性の初期特性及びマイナスゲートバイアスストレスに対する特性変化を示すグラフである。

【図17】従来法により製造された薄膜トランジスタ素子の構造を説明するための概略断面図である。

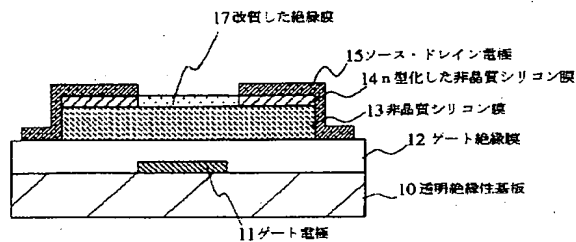
【図18】従来法により製造された高開口率化構造の薄膜トランジスタ素子の構造を説明するための概略断面図

である。

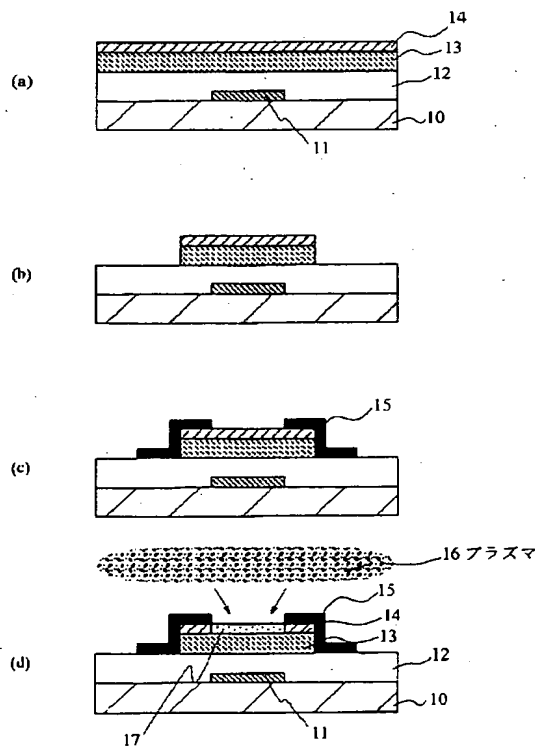
【符号の説明】

- 10 透明絶縁性基板
- 11 ゲート電極
- 12 ゲート絶縁膜
- 13 非晶質シリコン膜
- 14 n型化した非晶質シリコン膜
- 15 ソース・ドレイン電極
- 16 プラズマ
- 17 改質した絶縁膜（酸化膜、窒化膜）
- 18 塗布絶縁膜
- 19 透明導電性画素電極

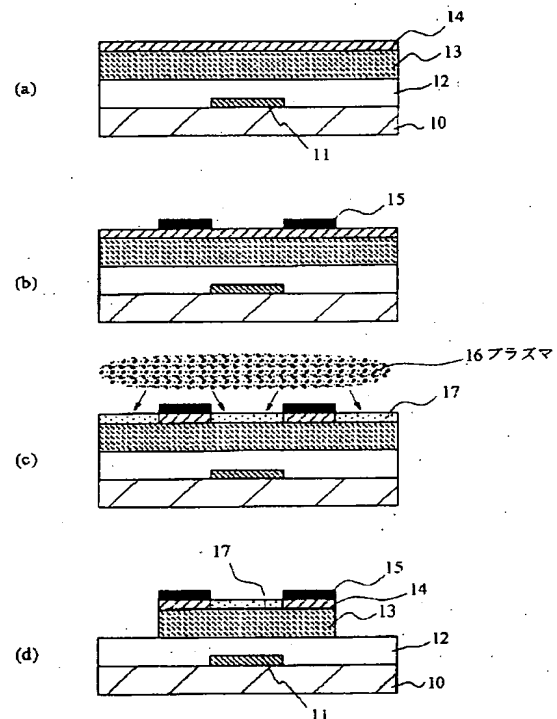
【図1】



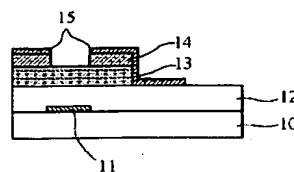
【図3】



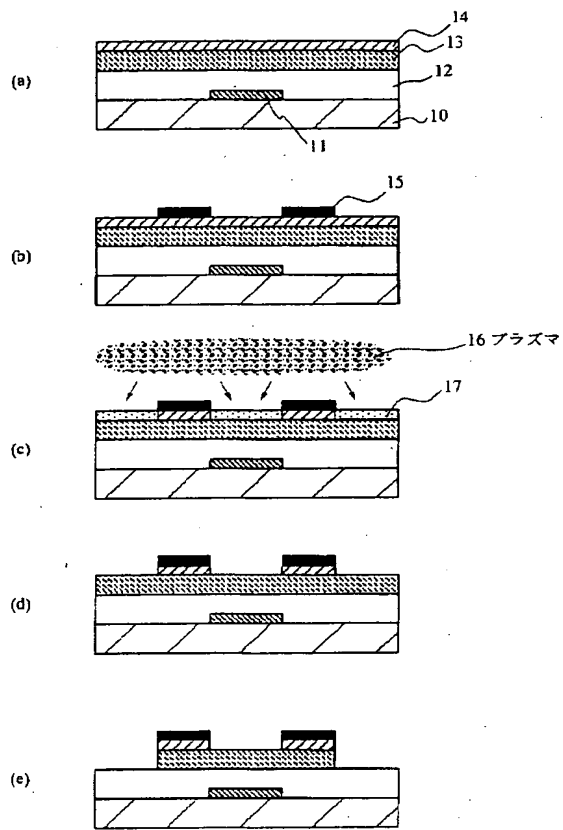
【図2】



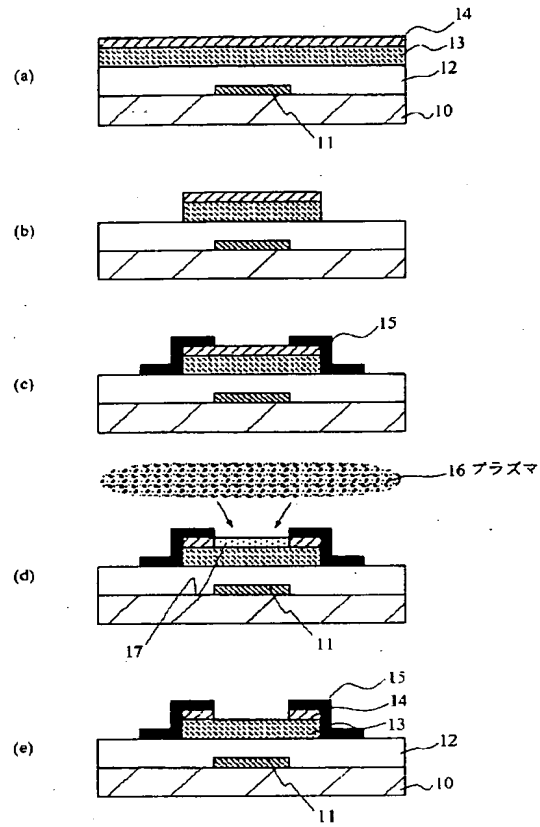
【図9】



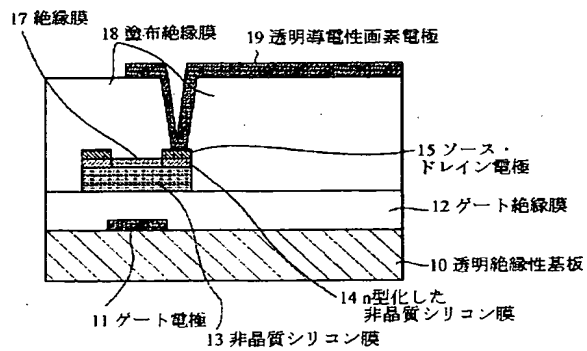
【図4】



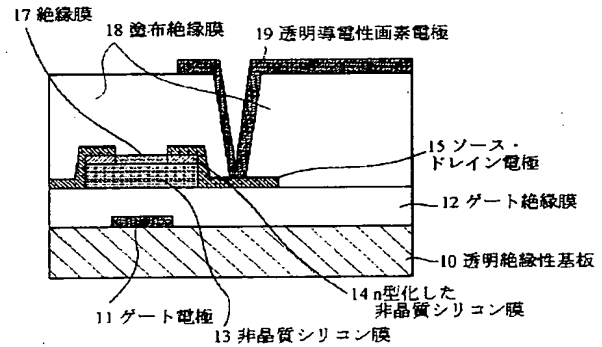
【図5】



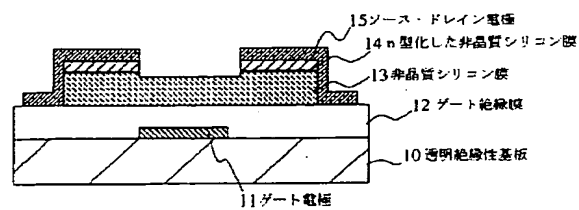
【図10】



【図11】

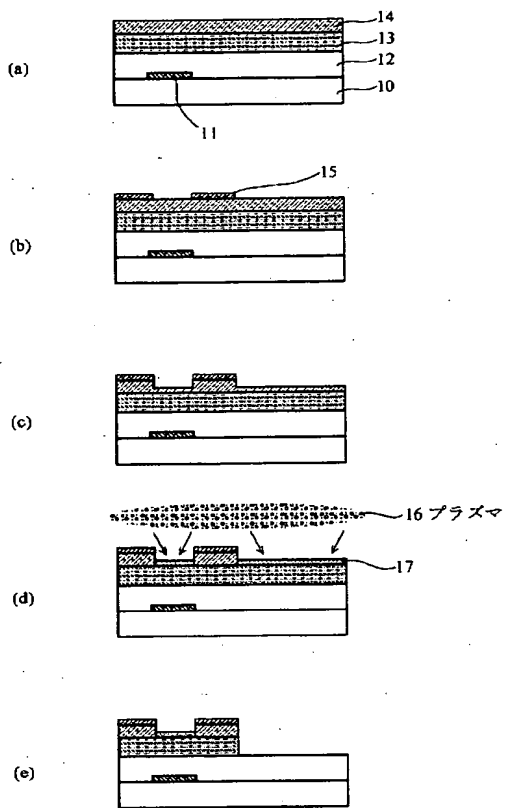


【図17】

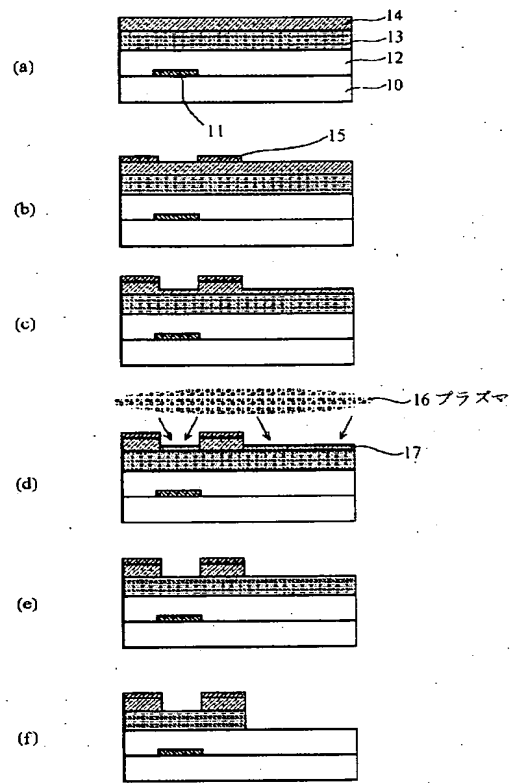




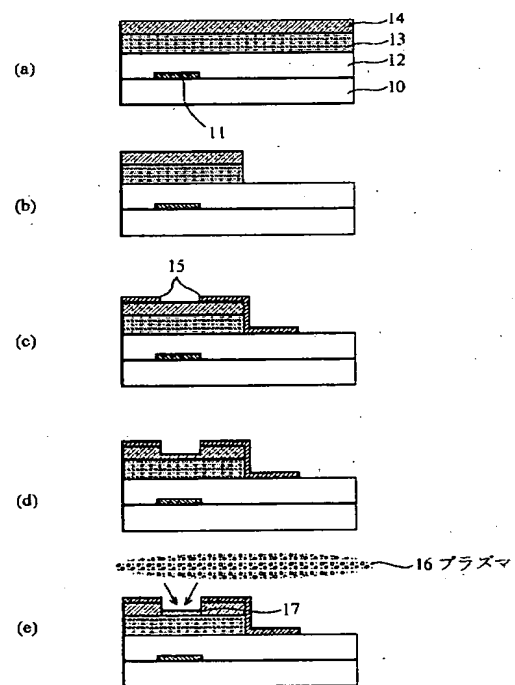
【図6】



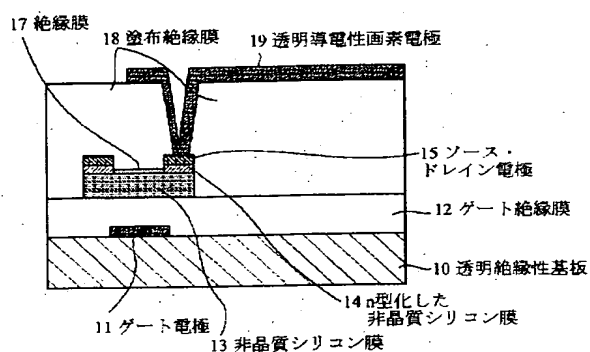
【図7】



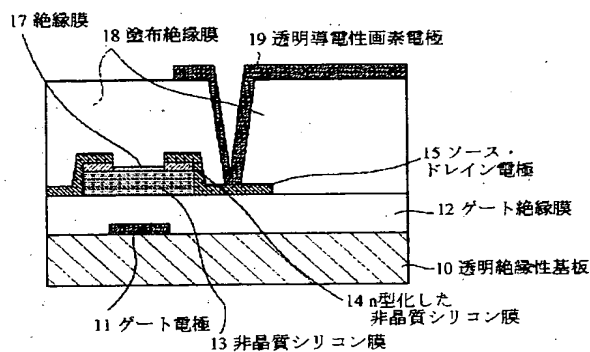
【図8】



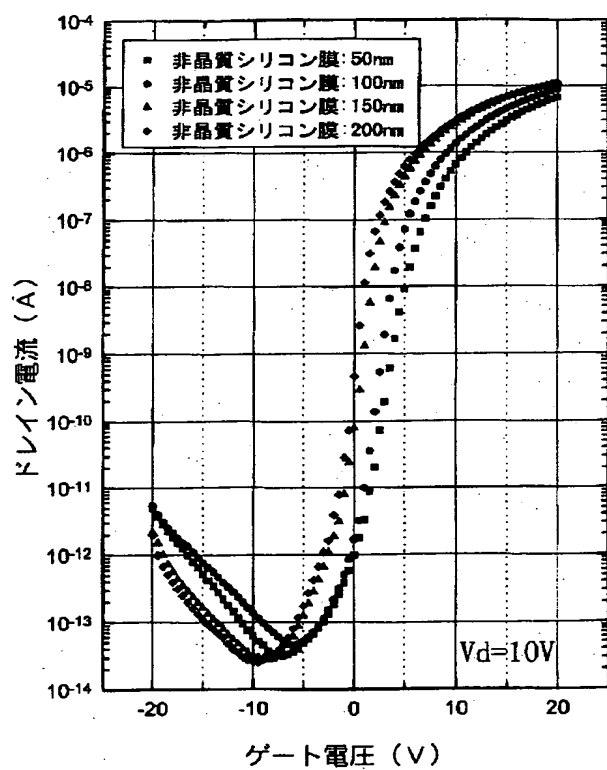
【図12】



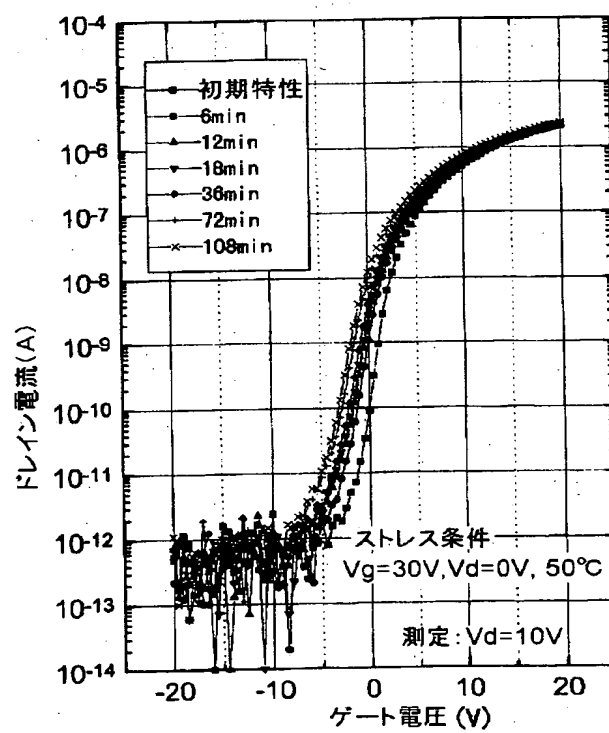
【図13】



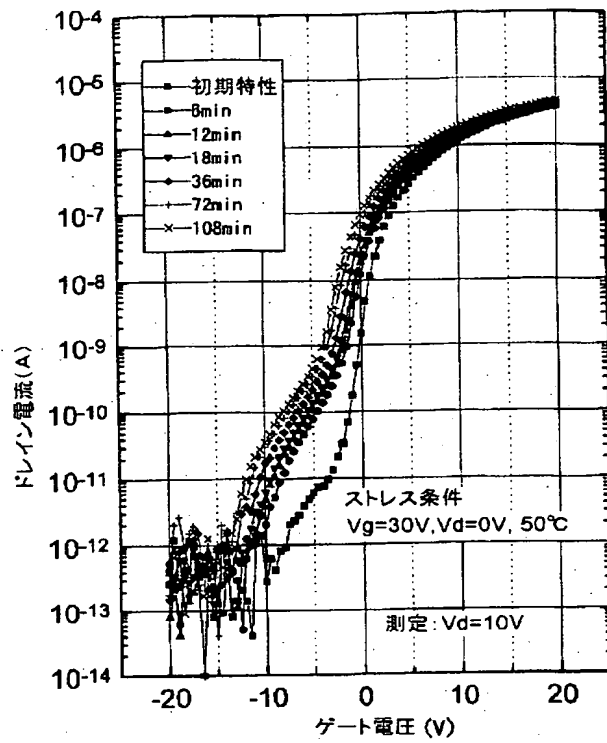
【図14】



【図15】



【図16】



【図18】

